PATENT ABSTRACTS OF JAPAN

(11)Publication number:

08-263436

(43)Date of publication of application: 11.10.1998

(51)Int.Cl.

G06F 13/42 G06F 1/04 G06F 1/12 G06F 13/00 G06F 15/16

(21)Application number : 07-061249

20.03.1995

(71)Applicant : FUJITSU LTD

(72)Inventor: SHIWACHI SHINICHI

IWAKIRI MASAHIKO SAKAI TOSHIYUKI SUZUKI AYA

(54) DATA TRANSFER DEVICE

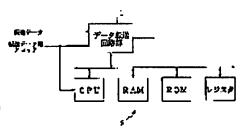
(57)Abstract:

(22)Date of filing:

PURPOSE: To prevent a data error by preventing crosstalk from being superimposed at the timing of latch by driving the operation clock of a data transfer circuit part and the system clock of a CPU control part corresponding to the same clock signal.

control part corresponding to the same clock signal.

CONSTITUTION: This device is provided with a data transfer circuit part 1 for inputting a clock for transfer data and transferring data based on this clock signal and a CPU control part 2 for controlling the data transfer of this data transfer circuit 1. Then, the operation clock of the data transfer circuit part 1 and the system clock of the CPU control part 2 are driven by using the same clock signal. Therefore, the crosstalk exerted from the system bus of a CPU onto the transfer data is synchronously superimposed. Thus, the latch error of transfer data can be suppressed at a minimum and the influence of crosstalk at the latch timing of transfer data can be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-263436

(43)公開日 平成8年(1996)10月11日

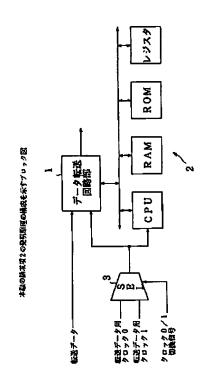
(51) Int.Cl. ⁶		微別記号	庁内整理番号	FI					技術表示箇所	
G06F	13/42	350	9188-5E	G0	6 F	13/42		350B		
	1/04	302				1/04		302A	C5	
	1/06					13/00		301D		
	1/12					15/16		330C		
	13/00	301				1/04		310A	C2	
			審查辦求	未請求	能簡	項の数7	OL	(全 10 頁)	最終頁に続く	
(21)出願番号		特顯平7-61249		(71)	出國人	000005	223			
						富士通	株式会	社		
(22)出顧日		平成7年(1995)3月20日				神奈川	県川崎	市中原区上小	田中4丁目1番	
						1号				
				(72)	発明:	計 志和地	其一			
					福岡県福岡市博多区博多駅前三丁目2					
						号當	号 富士通九州ディジタル・テクノロジ株			
						式会社				
				(72)発明者		計 岩切	政彦			
					福岡県福岡市博多区博多駅前三丁目22					
						号當	士通九	州ディジタル	・テクノロジ株	
						式会社	内			
				(74)	代理人	ト ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・	井桁	貞一		
									最終頁に続く	

(54) 【発明の名称】 データ転送装置

(57)【要約】

制御するCPU制御部を有するデータ転送装置において、夫々独立したクロックを有する際のクロストークによるデータエラーを未然に防止できるようにすること。 【構成】 複数のクロックを選択するクロック切換部3を設ける。このクロック切換部3で切換えられたクロック信号をデータ転送回路部1とCPU制御部2とに加える。こうすれば同一のクロックがデータ転送回路部1とCPU制御部2とに用いられるため、ラッチのタイミングでのクロストークを同期化でき、転送データのラッチミスが未然に防止できることとなる。

【目的】 データ転送回路部とそのデータ転送回路部を



【特許請求の範囲】

(a) クロック信号が入力され、該クロ 【請求項1】 ック信号に基づいてデータを転送するデータ転送回路部 と、(b)前記データ転送回路部のデータ転送を制御す るCPU制御部と、を具備し、

前記データ転送回路部の動作クロックと前記CPU制御 部のシステムクロックとを同一のクロック信号を用いて 駆動することを特徴とするデータ転送装置。

【請求項2】 複数のクロック信号及びクロック切換信 号が入力され、前記データ転送回路部及び前記CPU制 10 御部を駆動するクロック信号を、複数のクロック信号か ら選択するクロック切換部を有することを特徴とする語 求項1記載のデータ転送装置。

【請求項3】 前記クロック切換部は、入力されるクロ ックを外部からの制御信号に基づいてマスクするマスク 部、及び前記マスク部の出力が夫々入力される選択部、 を有するものであり、

当該データ転送装置は、クロック切換信号に基づき、選 択されているクロック信号に同期して前記マスク部によ りクロック信号をマスクすると共に、切換えられる信号 20 に同期して前記選択部によりクロック信号を切換えるク ロック切換制御部を有することを特徴とする請求項2記 載のデータ転送装置。

【請求項4】 クロック切換信号に基づいてCPUを一 時停止すると共に、一時停止の確認後に前記クロック切 換部にクロック切換信号を出力するホールト制御部を有 することを特徴とする請求項2記載のデータ転送装置。

【請求項5】 前記クロック切換部により切換えられた クロック信号の遮断を検出するクロック断検出部を有 し、前記クロック断検出部によってクロックの遮断が検 30 出されたときに他方のクロック信号に切換えるようにし たことを特徴とする請求項2記載のデータ転送装置。

【請求項6】 入力されるクロック毎にその遮断を検出 する個別クロック断検出部を有し、遮断されないクロッ ク信号及び装置内のクロック信号を前記クロック切換部 により選択するようにしたことを特徴とする請求項2記 載のデータ転送装置。

クロック信号が基準信号として入力され、該基準信号に 基づいて位相ロックした位相制御発振器を有し、該位相 制御発振器より前記データ転送回路部及びCPU制御部 にクロック信号を供給することを特徴とする請求項2記 載のデータ転送装置。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、CPUを用いて構成さ れるデータ転送装置に関するものである。

[0002]

【従来の技術】従来、マイクロコンピュータ (CPU) を用いてデータ転送回路部を制御するデータ転送装置に 50 理ブロック図に示すように、クロック切換部3により切

おいては、CPUのシステムクロックはCPUボード内 のクロックの発振器から供給されている。一方、データ 転送部は外部より供給されるクロックにより動作する。 このため、CPU内のシステムバスと転送データのバス とは全く非同期で動作することとなる。

[0003]

【発明が解決しようとする課題】しかし、近年CPUが 高速化するに伴ってCPUのシステムバスから転送デー タバスに対してクロストークが生じることがある。この クロストークは、転送データのラッチのタイミングで転 送データに重畳されたときには、データのエラーを引き 起こす恐れがあるという欠点があった。

【0004】本発明は、このような従来の問題点を解決 することを目的とし、ラッチのタイミングでクロストー クの重量が生じないようにしてデータエラーを未然に防 止するデータ転送装置を提供することにある。

[0005]

【課題を解決するための手段】本願の請求項1の発明 は、図1の発明原理ブロック図に示すように、転送デー タ用クロックが入力され、該クロック信号に基づいてデ ータを転送するデータ転送回路部 1 と、該データ転送回 路部1のデータ転送を制御するCPU制御部2と、を有 して構成されている。そして、データ転送回路部1の動 作クロックとCPU制御部2のシステムクロックとを同 一のクロック信号を用いて駆動するようにしたものであ

【0006】又本願の諂求項2の発明は、複数のクロッ ク信号、例えば図2の発明原理ブロック図に示すように 転送用データクロック 0. 転送データ用クロック 1 とク ロック切換信号とが入力され、データ転送回路部1及び CPU制御部2を駆動するクロック信号を、複数のクロ ック信号から選択するクロック切換部3を有することを 特徴とするものである。

【0007】又本願の請求項3の発明は、図3の発明原 理ブロック図に示すように、クロック切換部3を、入力 されるクロック、即ち転送データ用クロック 0 及びクロ ック1を外部からのクロック切換信号に基づいてマスク するマスク部とマスク部の出力が入力される選択部(S EL)とにより構成している。又クロック切換信号に基 づいて所定時間、このマスク部によりクロック信号をマ スクすると共に、その後選択部によりクロック信号を切 換えるクロック切換制御部4を有している。

【0008】本願の請求項4の発明は、図4の発明原理 ブロック図に示すように、クロック切換部3に加えてク ロック切換信号が入力されたときにCPU制御部2のC PUを一時停止すると共に、一時停止の確認後にクロッ ク切換部3にクロック切換信号を出力するホールト制御 部5を有するものである。

【0009】又本願の請求項5の発明は、図5の発明原

3

換えられたクロック信号の遮断を検出するクロック断検 出部6を有し、クロック断検出部6によってクロックの 遮断が検出されたときにクロック切換部3に切換信号を 出力して他方のクロック信号に切換えるようにしたもの である。

【0010】又本願の請求項6の発明は、図6の発明原理プロック図に示すように、入力されるクロック毎にその遮断を検出する個別クロック断検出部7を有し、遮断されていないクロック信号又は装置内のクロック信号をクロック切換部3により選択するようにしたものである。

【0011】又本願の請求項7の発明は、図7の発明原理プロック図に示すように、クロック切換部3によって選択されたクロック信号が基準信号として入力され、該基準信号に基づいて位相ロックする位相制御発振器8を有し、該位相制御発振器8よりデータ転送回路部1及びCPU制御部2にクロック信号を供給するものである。

[0012]

【作用】このような特徴を有する本願の額求項1の発明 によれば、CPU制御部2とデータ転送回路部1とが同 一のクロックを使用するため、CPUのシステムバスが 転送データに及ぼすクロストークが同期されて重畳され る。このため、転送データのラッチタイミングでのクロ ストークの影響が回避できることとなる。又請求項2の 発明では、転送データ用クロックを複数系統とし、この クロックの中から選択したクロックをデータ転送回路部 1とCPU制御部2とに入力するようにしている。更 に、請求項3の発明では、クロック切換え時に一旦その クロックに同期して転送用データクロックをマスクし、 切換えられるクロック信号に同期して切換信号を出力 し、切換えられるクロック信号のマスクを解除するよう にしている。こうすれば、クロック波形の乱れやひげの 発生がなく、クロックが切換えられる。又請求項4の発 明では、クロック切換信号によってCPUを一旦停止状 態とし、停止が確認された後にクロックを切換えるよう にしている。 請求項5の発明では、選択されたクロック が遮断されたかどうかを検知し、遮断されればそのクロ ックと異なったクロック信号を選択するようにしてい る。このため自立的に他系のクロックに選択して変更す ることができ、最短時間でCPUの動作を再開できるこ ととなる。又請求項6の発明では、各クロックを個別に 遮断したかどうかを検出し、遮断した場合には遮断され ていないクロック又は内部クロックを自動的に選択する ことにより、CPUの動作が停止しないようにしてい る。請求項7の発明では、選択後のクロックを基準信号 とする位相制御発振器8を用い、この発振信号をクロッ ク信号として用いたものである。

[0013]

【実施例】次に、本発明によるデータ転送装置の具体的 れる。又フリップフロップ4f,4gのクロック入力端 実施例につき、図面を参照しつつ説明する。図8は、本 50 子には、転送データ用クロック1がインパータ4iを介

発明の請求項1,2,3の発明を具体化した第1実施例の詳細な構成を示すプロック図である。本実施例は、24Mデータ転送装置、即ち24MHzのシリアルデータ

を受信及び送信するデータ転送装置である。本図においてデータ転送回路部1は、S/P変換部1a, P/S変換部1bから成り立っている。このS/P変換部1a

は、受信された24MHzのシリアル受信転送データを 入力とし、パラレル信号に変換して8ビットの3MHz の受信信号とするS/P変換部である。更に、S/P変 10 換部1aは、データに多重されているアラーム情報を抽

出してCPUのシステムパスに転送する機能を有している。又データ転送装置より送信すべき送信データを3MHz,8ビットのパラレルデータとすると、このデータはP/S変換部1bに入力される。このP/S変換部1

bは、入力されるクロック信号に基づいて入力信号をシリアル信号に変換し、24MHzの送信転送データとして出力するものである。又CPUシステムバスから加え

られるアラームをその転送データに挿入する機能を有している。さて、CPUシステムパスには、これらの制御

を行うCPU制御部2としてCPU2a、メモリ2b及 びハードレジスタ2cが接続されている。

【0014】次に、クロックの切換えを行うクロック切換部3及びクロック切換制御部4について説明する。このデータ転送技置は、データ転送用のクロック0とクロック1とを転送レートに応じて選択するものとする。このクロック0、クロック1は、夫々クロック切換部3のアンド回路3a、3bに入力される。このクロック切換部3は切換信号に基づきいずれか一方のクロックを選択するものであり、切換信号はアンド回路3a、3bに入力される。そして、アンド回路3a、3bは一方のクロックをマスクするマスク部を構成しており、その出力は選択部であるオア回路3cを介してS/P変換部1a、P/S変換部1b及びCPU2aにクロックとして入力

【0015】さて、クロック切換制御部4は切換スイッチSWの一端がプルアップ抵抗を介して電源端に接続され、その出力がフリップフロップ4aに入力され、更にインバータ4bに接続される。このフリップフロップ4aはD型フリップフロップが縦続接続されたものであり、そのQ出力はフリップフロップ4cもD型フリップフロップが縦続接続されたものであって、そのQ出力はアンド回路4dの他方の入力端に接続されている。これらのフリップフロップ4a、4cには、転送データ用クロック0がインバータ4eを介してクロック信号として供給される。一方、インバータ4bにはD型フリップフロップを縦続したフリップフロップ4f、4gのクロック1が経続され、夫々のQ出力端がアンド回路4hに入力端に接続され、夫々のQ出力端がアンド回路4hに入力端にスフリップフロップ4f、4gのクロック入力端になどデータ田クロック1がインバータ4iを発

5

して接続されている。

【0016】次に、本実施例の動作について説明する。 転送データ用のクロック0に代えてクロック1を選択す る際には、クロック切換スイッチSWをオフからオンと する。そうすれば、Lレベルの信号がフリップフロップ 4 aに入力され、2クロック後にフリップフロップ4 c にも入力される。このため、フリップフロップ4 c の出 力が L レベルとなればアンド回路 4 d の出力、アンド回 路3aの出力もLレベルとなってクロックOがマスクさ れる。一方、クロック切換スイッチSWのLレベル出力 はインバータ4bで反転してフリップフロップ4f,4 gに加えられるため、夫々2D遅延し、4D後にアンド 回路4hの出力はHレベルとなる。この出力がアンド回 路3bに入力され、データ転送用クロック1に同期した 信号が出力される。従って、オア回路3 c の出力にクロ ックに乱れやひげが発生することなく、クロックO系か らクロック1系へ切換えることができる。

【0017】図9は本願の請求項1、2、4の発明を具 体化した第2実施例を示すブロック図であり、前述した 第1実施例と同一部分は同一符号を付して詳細な説明を 省略する。図9においてスイッチSWの出力はホールト 制御部(HALT制御部) 5に入力される。このHAL T制御部5は、図示のようにクロック切換スイッチSW に一端が接続されるクロック切換検出部5 a とフリップ フロップ5 b、及びクロックを計数するカウンタ5 cと を有している。このクロック切換検出部5 a は、切換時 に L レベルの信号を R S フリップフロップ 5 d に リセッ ト信号として出力するものである。又フリップフロップ 5 bはスイッチSWの一端が入力端に接続され、CPU のHALT・ACK信号がクロック入力端子に接続され る。そのQ出力は、クロック切換部3に切換信号として 入力される。一方、カウンタ5cはクロック切換部3で 選択されたクロック信号の所定数、例えば16パルスを 計数するものであり、そのオーバフロー出力はRSフリ ップフロップ5dにセット信号として入力され、RSフ リップフロップ5eにリセット信号として入力される。 又RSフリップフロップ5dはそのQ信号をCPU2a のHALTバー信号として出力するものである。この出 力をカウンタ5 c のイネーブル信号として出力するもの である。

【0018】次に、本実施例の動作について説明する。クロック切換スイッチSWがオフでその出力がHレベルのときには、転送データ用クロック1が選択されているものとする。このクロック切換スイッチSWを例えばオフ状態からオン状態とすると、クロック切換スイッチSWの出力信号はLレベルとなり、切換え毎にクロック切換出部5aは短時間Lレベルの信号を出力し、RSフリップフロップ5dをリセットする。このため、RSフリップフロップ5dはQ出力がLレベルとなってCPU2aにホールト(停止)命令がかかる。そして、CPU

6

内でホールトの切換えが完了すると、ホールトの完了信 号(HALT・ACK信号)がフリップフロップ5bに 入力される。従って、フリップフロップ5bはクロック 切換スイッチSWの出力状態であるLレベルを出力し、 クロック切換部3にLレベルを加える。従って、転送デ ータ用クロック 0 が選択されることとなり、このクロッ クがS/P変換部1a、P/S変換部1b及びCPU2 aに入力される。このとき、HALT・ACK信号がR Sフリップフロップ5eに加えられ、セット状態となっ てカウンタ5 c がイネーブルとなっている。従って、選 択された転送データ用クロックOがカウンタ5cに加わ り、カウンタ5cは計数を開始する。そして、例えば1 6カウントを計数すると、そのオーバフロー出力がRS フリップフロップ5dをセット状態とし、CPU2aの ホールトを停止する。同時に、RSフリップフロップ5 e をリセット状態としてカウンタ5cの動作を停止す る。従って、CPU2aは停止解除後所定時間後に停止 命令が解除され、通常状態に復帰することとなる。

【0019】次に、本願の請求項5.6の発明を具体化 した第3 実施例について説明する。図10 は本発明の第 3 実施例の構成を示すブロック図であり、前述した第 1. 第2実施例と同一部分は同一符号を付して詳細な説 明を省略する。転送データ用のクロック〇及び!はクロ ックを切換えるクロック切換回路3 dに接続され、更に クロック断検出部7a, 7bに入力される。このクロッ ク断検出部7aは単安定マルチバイブレータ(MM)か ら成り、転送データ用クロック」が遮断したことを検出 し、遮断時には検出信号をクロック切換制御部7 cに出 力するものである。又クロック断検出部7 b も同様に単 安定マルチバイブレータから成り、転送データ用クロッ クロが遮断したことを検知するものであって、その検出 出力はクロック切換制御部7cに入力される。一方、ク ロック切換制御部7cは現在選択しているクロックが遮 断したときには切換信号をクロック切換回路3dに出力 すると共に、双方のクロック断検出部7a. 7bより検 出信号が入力されればクロック切換回路3 eに出力する ものである。このクロック切換回路3 e はクロック切換 回路3 d の切換信号が一方の入力端に入力され、他方の 入力端にはこれと異なる内部クロック信号が入力されて 40 いる。又CPUリセット信号生成部7 dは、クロック切 換制御部7cによるクロック切換え毎に一定時間CPU 2 aをリセットするためのリセット信号を生成するもの である。

【0020】次に、本実施例の動作について説明する。動作中には転送データ用クロック0又は1のいずれかがクロック切換回路3d、3eにより選択されており、CPU2aとS/P変換部1a、P/S変換部1bに入力される。さて、選択されている転送データ用クロック1が遮断した場合には、クロック断検出部7aはそのクロックの遮断を検出し、クロック切換制御部7cに出力を

7

与える。従って、クロック切換制御部7 c より切換信号がクロック切換部3 d に入力され、転送データ用クロック 0 に切換えられる。このとき、C P U 2 a は C P U リセット信号生成部7 d により一定時間リセットされ、その後動作を開始する。このため、クロック異常による C P U の 調動作が防止できることとなる。又2つのクロックが同時に遮断した場合には、内部クロック3 f が選択されることとなる。

【0021】次に、本願の請求項7の発明を具体化した 第4実施例について説明する。図11は第4実施例の構 10 成を示すプロック図であり、前述した各実施例と同一部 分は同一符号を付して詳細な説明を省略する。本図にお いて転送データ用のクロック〇及びクロック1はクロッ ク切換部3を介してPLO部8に入力される。このPL O部8は位相制御発振器であって、入力されたクロック と一定の関係にあるクロックを安定して発振し、S/P 変換部1a、P/S変換部1b及びCPU2aに出力す るものである。このため、入力のクロックに異常が発生 しても正常なクロックを生成して各部に加えることがで きる。又クロック切換え時に異常が生じる場合にもPL O部8より各部にクロックが供給されるため、CPU2 aには誤動作を引き起こすことがなくなる。又入力クロ ックが双方とも断状態となっても PLO部 8 より出力が なされるため、CPU2aは誤動作を引き起こさずに動 作させることができる。

[0022]

【発明の効果】以上詳細に説明したように、本発明によれば、CPU制御部のクロックとデータ転送回路部とのクロックとを共通にしているため、CPUのシステムバスが転送データに及ぼすクロストークを同期化することができ、転送データのラッチミスを最小に抑えることができるという効果が得られる。又請求項2及び3の発明では、複数のクロックをクロック切換部を介して切換えるようにしているため、任意のクロックでデータ転送装置とCPU制御部とを動作させることができる。又請求項3及び4の発明では、このようなクロックの切換え時にもCPUの誤動作を防止することができ、確実にクロックの切換えが可能となる。更に、本願の請求項5及び6の発明では、クロックが遮断したときには他方のクロックに自動的に切換えることができ、又請求項6では双方のクロックが遮断したときに内部クロックに自動的に

切換えることができる。

【図面の簡単な説明】

【図1】本願の請求項1の発明原理の構成を示すブロック図である。

8

【図2】本願の請求項2の発明原理の構成を示すブロック図である。

【図3】本願の請求項3の発明原理の構成を示すブロック図である。

【図4】本願の請求項4の発明原理の構成を示すブロック図である。

【図5】本願の請求項5の発明原理の構成を示すブロック図である。

【図6】本願の請求項6の発明原理の構成を示すブロック図である。

【図7】本願の請求項7の発明原理の構成を示すブロック図である。

【図8】本発明によるデータ転送装置の第1実施例によるデータ転送装置の構成を示すプロック図である。

【図9】本発明によるデータ転送装置の第2実施例によるデータ転送装置の構成を示すブロック図である。

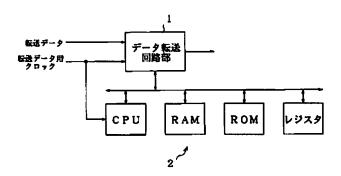
【図10】本発明によるデータ転送装置の第3実施例に よるデータ転送装置の構成を示すブロック図である。

【図11】本発明によるデータ転送装置の第4実施例によるデータ転送装置の構成を示すブロック図である。

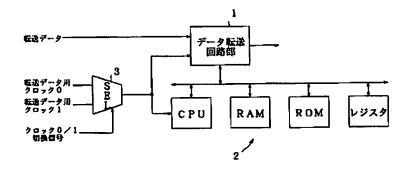
【符号の説明】

	1	データ転送回路部
	l a	S/P変換部
	l b	P/S変換部
	2	CPU制御部
30	2 a	CPU
	2 b	メモリ
	2 c	ハードレジスタ
	3	クロック切換部
	4	クロック切換制御部
	5	HALT制御部
	6	クロック断検出部
	7	個別クロック断検出部
	7 a, 7 b	クロック断検出部
	7 c	クロック切換制御部
40	7 d	CPUリセット信号生成部
	8	PLO部

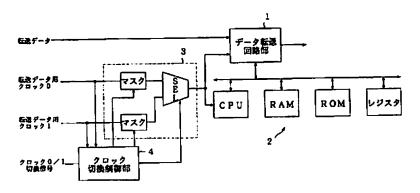
【図 1 】 本脳の線収項しの免別原因の様成を示すプロック級



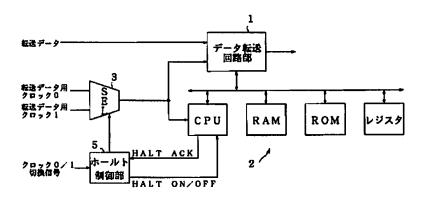
【図 2 】 本題の孫末頃2の発明原理の構成を示すプロック因



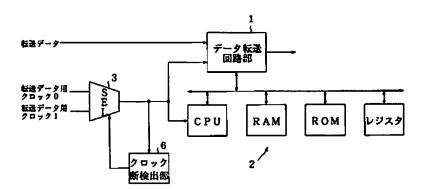
【図3】
本型の雑本項3の発列原理の構成を示すブロック図



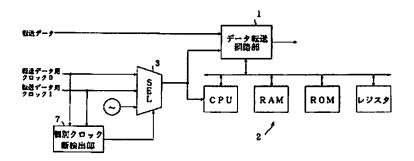
【図 4】 本顔の資本項4の発明を理の構成を示すブロック図



【図 5 】 本題の結束項5の発列系数の複数を示すプロック図

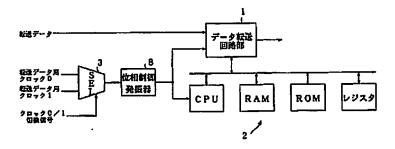


・単の資本項 の の 配名 原理 の ほぼ を 示す ブロック 回



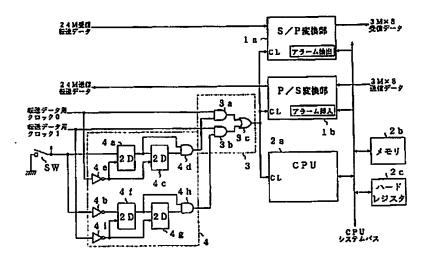
【図7】

本数の建定項での発気原理の提供を戻すプロック図



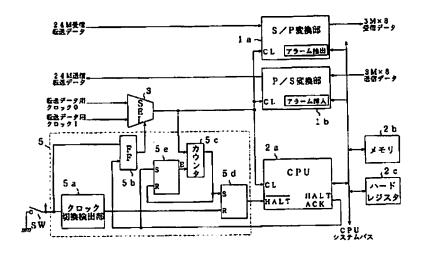
[图8]

本党列によるデータ転送後度の第1実技術によるゲータ位送途燈の経収を示す ブロック図

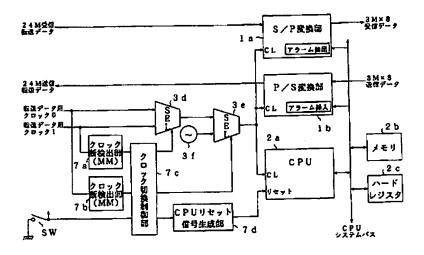


【図 9 】

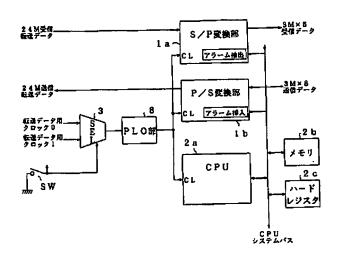
AR列によるデータ転送整数の第2支給例によるデータ転送整要の機関を示す
ブロック図



【図 1 O】
本発明によるゲータ転送数数の関う変統例によるデータ伝送装置の構成を示す
ブロック間



【図 1 1】
本発明によるゲータ転送禁煙の乳4気体外によるデータ転送禁薬の構成を示す ブロック図



フロントページの続き

(51) Int. CI. 6

識別記号 庁内整理番号

FΙ

技術表示箇所

GO6F 15/16

330

GO6F 1/04

340D

(72)発明者 酒井 俊行

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 鈴木 綾

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内